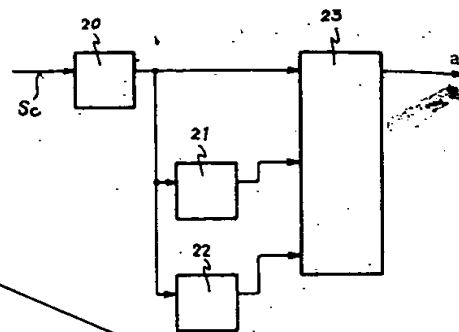


(54) SYNCHRONIZING SIGNAL PROTECTING CIRCUIT

(11) 57-60513 (A) (43) 12.4.1982 (19) JP
 (21) Appl. No. 55-132876 (22) 26.9.1980
 (71) HITACHI SEISAKUSHO K.K.(1) (72) SHIGERU YAMAZAKI(5)
 (51) Int. Cl.³ G11B5/09,G11B3/00,G11B7/00,G11B9/00,G11B11/00//H04L7/08

PURPOSE: To compensate synchronizing signal at a normal location, even if the synchronizing signal is missing continuously in a PCM system recording/reproducing device, by adding a compensating circuit of the synchronizing signal consisting of self-running counters.

CONSTITUTION: A horizontal synchronizing signal detection circuit 20 detects a horizontal synchronizing signal from a composite signal Sc. If one of horizontal synchronizing signals is missing or shifted from a normal position by skew, one horizontal synchronizing signal is compensated from the 1st compensation circuit 21 via an output switching circuit 23. If correct horizontal synchronizing signals are not detected consecutively, the horizontal synchronizing signal is compensated from the 2nd compensating circuit 22 consisting of self-running counters via a switching circuit 23. Thus, even if synchronizing signals are consecutively missing, the synchronizing signal can be compensated to a normal position.



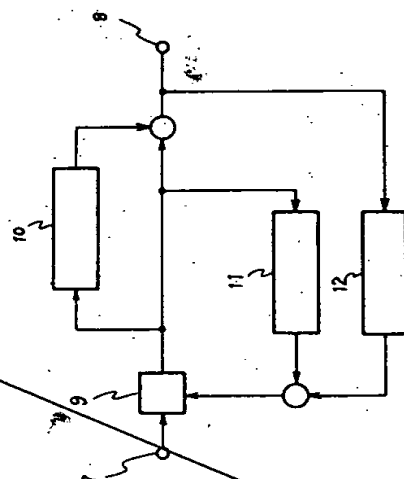
a: horizontal synchronizing signal

(54) SYNCHRONIZING SIGNAL PROTECTION CIRCUIT

(11) 57-60514 (A) (43) 12.4.1982 (19) JP
 (21) Appl. No. 55-132927 (22) 26.9.1980
 (71) HITACHI SEISAKUSHO K.K. (72) TAKAO ARAI(2)
 (51) Int. Cl.³ G11B5/09,G11B3/00,G11B7/00,G11B9/00,G11B11/00//H04L7/08

PURPOSE: To protect horizontal synchronizing signals from skew and noise, by providing two types or more of time gate circuits different from time gate time, for a PCM tape recorder and the like.

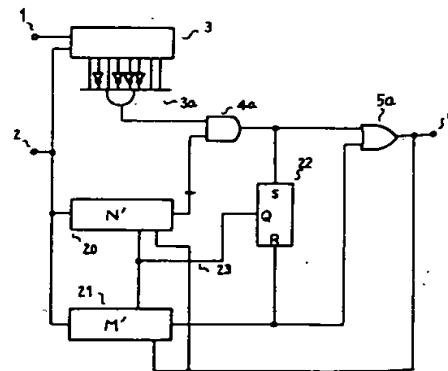
CONSTITUTION: The 1st time gate circuit is formed with a gate 9 and a time counter 11, and it is set to a time gate time having high noise proof characteristics, e.g. 61.5μsec. The 2nd time gate circuit is formed with the gate 9 and a time counter 12, and it is set to a time gate time in which sufficient fetch can be made even with skew, e.g. 41.5μsec. If no skew is present, noise is rejected at the 1st time gate circuit for the detected synchronizing signal. If any skew is present, since the horizontal synchronizing signal is gated, the compensation is done with the output of a 1H delay 10. At the same time, the next horizontal synchronizing signal is fetched through switching to the 2nd time gate circuit. Thus, the horizontal synchronizing signal can be protected from skew and noise.

**(54) SYNCHRONIZING SIGNAL PROTECTION CIRCUIT**

(11) 57-60515 (A) (43) 12.4.1982 (19) JP
 (21) Appl. No. 55-132929 (22) 26.9.1980
 (71) HITACHI SEISAKUSHO K.K. (72) HIROYUKI KIMURA(4)
 (51) Int. Cl.³ G11B5/09,G11B3/00,G11B7/00,G11B9/00,G11B11/00//H04L7/08

PURPOSE: To reduce the synchronizing recovery time, by switching the width of synchronizing detection window depending if the synchronizing signal is detected, in a PCM disc player.

CONSTITUTION: When a synchronizing signal is detected at a shift register 3 and an AND gate 3a, the width of synchronizing signal detection window formed with N', M' notation counters 20, 21 is set sufficiently to narrow value. If no synchronizing signal is detected, synchronizing signals can be compensated from the counter 21. At the same time an FF22 is reset, the frequency dividing ratio of the counters 20, 21 is respectively changed with this output, and the width of the synchronizing signal detection window is wider through the change in this frequency dividing ratio. As a result, the synchronizing signal is easily detected, and after the detection of the synchronizing signal, the detection window is again narrower to avoid malfunction due to noise. Thus, the synchronizing restoring time can be reduced.



BEST AVAILABLE COPY

09 日本国特許庁 (JP)

11 特許出願公開

02 公開特許公報 (A)

昭57-60515

Int. Cl. ³	識別記号	庁内整理番号
G 11 B 5/09	1 0 5	7345-5D
3/00		7247-5D
7/00	1 0 1	7247-5D
9/00		7426-5D
11/00		7426-5D
H 04 L 7/08		7608-5K

03 公開 昭和57年(1982)4月12日

発明の数 1
審査請求 未請求

(全 5 頁)

04 同期信号保護回路

横浜市戸塚区吉田町292番地株
式会社日立製作所家電研究所内

①特 願 昭55-132929

②発 明 者 荒井孝雄

②出 願 昭55(1980)9月26日

横浜市戸塚区吉田町292番地株
式会社日立製作所家電研究所内

②発 明 者 木村寛之

③出 願 人 株式会社日立製作所

横浜市戸塚区吉田町292番地株
式会社日立製作所家電研究所内

東京都千代田区丸の内1丁目5
番1号

②発 明 者 西村恵造

④代 理 人 弁理士 薄田利幸

横浜市戸塚区吉田町292番地株
式会社日立製作所家電研究所内

最終頁に続く

②発 明 者 小林正治

明 細 書

1 発明の名称 同期信号保護回路

2 特許請求の範囲

1) PCM (パルス・コード・モジュレーション) 方式のテープレコーダあるいはディスク等において、同期信号検出回路にタイムゲート時間の異なる2種類以上のタイムゲート回路を設け、第1のタイムゲート回路によつて設定されたタイムゲート時間内に同期信号が検出されるか否かによつて、補充同期信号を出力すると同時に、第2のタイムゲート回路に切り替えることを特徴とする同期信号保護回路。

3 発明の詳細な説明

本発明は、オーディオ用PCMディスクプレーヤの同期信号の保護回路に関するものである。

オーディオ用PCMディスクプレーヤは、オーディオ信号を一定期間ごとにサンプリングをおこなつた後、A/D変換器によりデジタル信号に変換し、各サンプリング周期おきに同期信号を付加してディスク上に記録する。再生時

にはこのディスクより読み出したデジタル符号をもとに、記録時のオーディオ信号を再生するものである。再生時オーディオ用PCMディスクより読み出されるデジタル符号パターンを第1図に示す。再生時連続的なデジタル符号パターンAより同期信号S₁、S₂…を検出し、この同期信号S₁、S₂…をもとに各データD₁、D₂…の区切りを検出し、データD₁、D₂…を再生する。ここで同期信号Sはある特定のデジタルパターンにより構成されており、同期検出回路にてこのデジタルパターンを検出するが、実際にはディスク上のゴミ、キズ等により同期信号のデジタルパターンが失なわれたり、又データ信号内に同期信号と同一のパターンが発生し、同期信号と誤る場合がある。このため実際の同期信号保護回路は、第2図に示す構成からなっている。第2図において、1はデータ入力端子、2はクロック入力端子、3はシフトレジスタ、4はN進カウンタ、5はM進カウンタ、6は同期出力端子である。第3図は第2図に示

す同期信号保護回路のタイムチャートである。以下第2図により同期信号保護回路の動作を説明する。入力端子1からのデジタル信号は、このデジタル信号に同期した入力端子2からのクロックにより、シフトレジスタ3に1ビットづつ書き込まれる。同期信号を示す特定のデジタル信号パターン（例えば「11000101」）がシフトレジスタ3に書き込まれると、シフトレジスタ3の出力のANDゲート3aには、同期信号パターンを検出したことを示す信号が得られる。これが第3図に示したタイムチャート上のパターン出力10である。またクロックはN進カウンタ4およびM進カウンタ5にも供給される。

ここでNおよびMの値は、第1図に示す1ブロックBすなわち同期信号Sとデータ信号Dのクロック数を加算した値に対してNは少なくMは大きく設定されている。N進カウンタ4のゲート4aは、同期信号パターン出力がでる前に開き同期信号パターンがくれば、同期出力とし

て出力する。しかし第3図のパターン出力10において、点線10aで示したように同期信号パターンが失なわれると、N進カウンタ4のゲート4aが開いた後、第3図では12で示すようにM進カウンタ5の出力がゲート5aを介して同期信号の補充として出力される。補充信号がゲート5aより出力されると、NおよびM進カウンタ4、5はリセットされる。

以上説明したように同期信号パターンに対してタイムゲート回路を設けN～Mクロック区間窓を明け、この区間に同期信号パターンがくれば、同期信号13a、13b、13cとして出力し、もしキズ、ゴミ等により同期信号パターン10aが失なわれたら、最後のMクロックの時に補充信号13mを出力し同期乱れを防ぐように動作する。

しかし従来技術には次のような問題点がある。即ち、大きなゴミ、キズ等により長期間（複数ブロック）にわたってデジタル信号が失なわれた場合、一回の補充をおこなうごとにN、およびM進カウンタ4、5により構成したタイム

ゲート回路即ち同期パターン検出窓の位置がずれる。このため複数回補充をおこなった後、正しい位置に同期信号が来た時、検出窓の位置が大きくなり同期信号を検出できず、同期信号の回復が遅れるという欠点があった。この様子をタイムチャートで示したものが第4図である。第4図において14はパターン出力、15は同期パターン検出窓、16は同期出力である。パターン出力14において点線で示すように同期信号パターン14a、14bが失なわれた場合、M進カウンタ5のゲート5a（15a、15b）で補充した同期信号16a、16bを出力する。しかし4つ目で正しい位置に同期パターン14₂を出力したが、窓15の位置がずれているため再度補充した同期信号16cを出力し、窓15の位置にふたたび同期信号パターンがくるまで、正しい位置に同期信号を出力することができない。即ち同期信号の回復するのが遅い。

本発明の目的は上記した従来技術の欠点をなくし、キズ、ゴミ等により発生する信号欠落に

対しても同期信号をより早く回復させ、データ信号を正しく再生し得る同期信号保護回路を提供することにある。

本発明においては、長い信号欠落に対しても同期回復時間の短い同期信号保護回路を構成するために、2種類のタイムゲート回路を設け、このタイムゲート回路により同期信号パターン検出窓の時間幅を決め、一方は同期信号以外の信号を誤まつて検出することのないよう狭く、他方は同期信号が検出できない時に窓の幅を拡げ同期検出を容易にするもので、これを場合によつて切り替えることにより実現するものである。

本発明の具体的実施例を第5図に示す。第5図において、第2図と同一符号は同一機能を有し、20はN進カウンタ、21はM進カウンタ、22はセット、リセット入力をもつフリップフロップ、23はセット入力である。また第6図は第5図の動作タイムチャートであり、30はパターン出力、31は同期信号検出窓、32は補充信号であ

る。

シフトレジスタ3およびANDゲート3aにより同期信号を検出している時には、N'およびM'進カウンタ20、21によつて構成された同期信号パターン検出窓の幅は、ディスクのジッタ等により発生する信号ゆれのみを満たす分だけ開いている。このため同期信号検出窓はデータ長に対して充分狭く、同期信号以外に発生する信号を誤まつて同期信号として出力することがないよう動作する。ヤズ、ゴミ等により同期信号パターンが失なわれると、同期信号を検出できず、信号を補充することになる。補充をおこなうとフリップフロップ22はリセットされ、このフリップフロップ出力によりN'およびM'進カウンタ20、21は、その分周比を $N \rightarrow P$ 、 $M \rightarrow Q$ へと変化させる。この分周比変化によりN'およびM'進カウンタ20、21によつて構成された同期信号パターン検出窓の幅を拡げることになる。この様子を図に示したものが第6図のタイムチャートである。補充をおこなう前までは、同期信号パ

ターン検出窓の幅は $n = (M - N)$ であつたが、補充を1回おこなうとこの窓の幅は、 $p = (Q - P)$ に拡がる。これによりいつたん同期信号を検出できなくなると、検出窓の幅が拡くなり同期信号を検出しやすくなり、同期信号を検出後ふたたび検出窓は狭くなり、雑音等により誤動作しないようになる。以上説明したように本発明により同期回復時間を短かくすることができる。

第7図に本発明による別の一実施例を示す。第7図において第5図と同一符号は同一機能を有する。40、41、42、43はおのおのN、M、P、Q進カウンタである。44、45はセット、リセット入力をもつフリップフロップ、46はマルチプレクサである。以下図をもちいて説明する。NおよびM進カウンタ40、41およびフリップフロップ44によつて1つの同期信号パターン検出窓を構成し、PおよびQ進カウンタ42、43およびフリップフロップ45によりもう1つの同期信号パターン検出窓を構成する。通常時には、Nお

よびM進カウンタ40、41によつて構成される狭い幅の同期信号パターン検出窓で同期信号を検出している。いつたん同期信号が検出できなくなると、Q進カウンタ43により補充信号を発生するとともに、フリップフロップ22をリセットマルチプレクサ46の入力をA \rightarrow Bへと切り替える。これにより同期信号パターン検出窓の幅は、PおよびQ進カウンタ42、43によつて構成されたひろい幅の同期信号パターン検出窓に切り替わる。

以上説明したように同期信号を検出したか、あるいは検出できず補充をおこなつたかによりタイムゲート回路によつてつくられる同期信号パターン検出窓の幅を変化させて、同期誤りの少ないかつ回復時間の短い同期信号保護回路を構成することができる。

本発明により、長い期間（複数ブロック長）にわたるドロップアウトが発生した場合、同期信号の回復時間を短かくすることができる。これによりデータ信号をより正しく再生すること

が可能となる。

4 図面の簡単な説明

第1図はデジタル信号パターンの一例図、第2図は従来の同期信号保護回路のブロック図、第3図および第4図は従来の同期信号保護回路のタイムチャート、第5図は本発明による同期信号保護回路の一実施例回路図、第6図は第5図の同期信号保護回路のタイムチャート、第7図は本発明による同期信号保護回路の他の一実施例回路図である。

3…シフトレジスタ

4…N進カウンタ

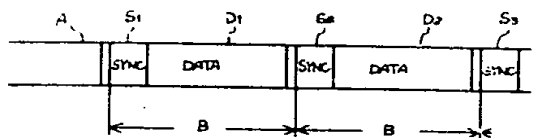
20…N'進カウンタ

21…M'進カウンタ

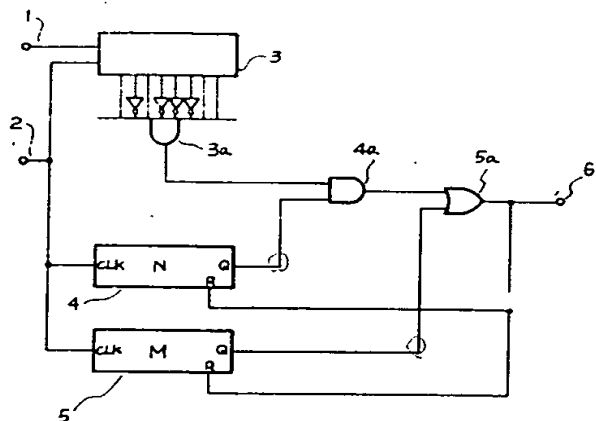
22…フリップフロップ

23…セット入力

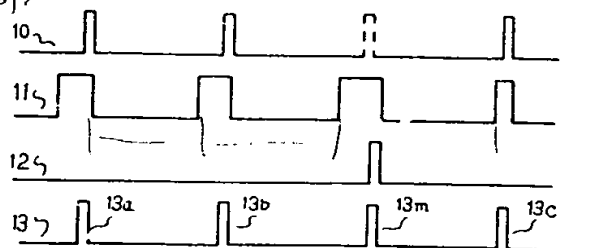
第1図



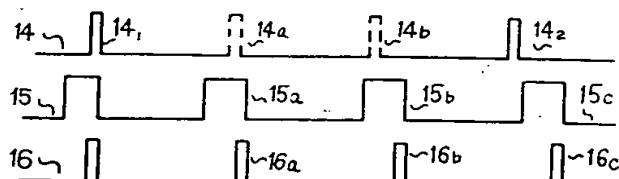
第2図



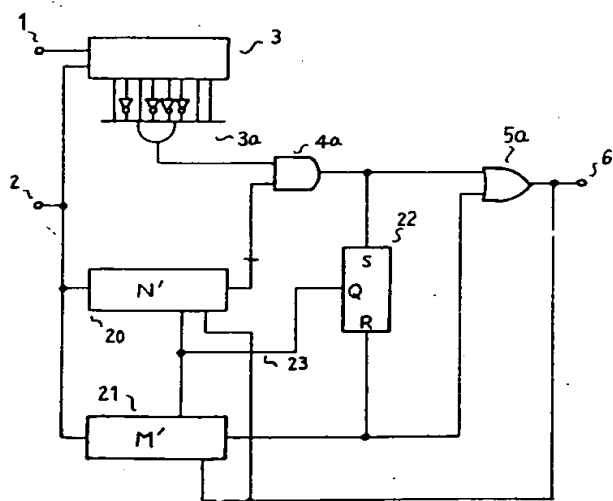
同期 DET 第3図



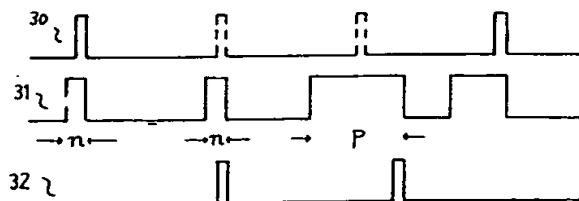
第4図



第5図



第6図

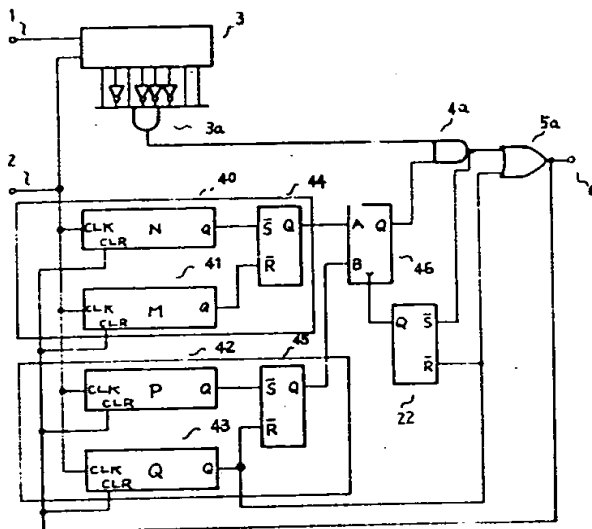


第7図

第1頁の続き。

⑦発明者 星野隆司

横浜市戸塚区吉田町292番地株
式会社日立製作所家電研究所内



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.